

310686 MEMORY

** SS 23: Results 1

Search statement 24

?

1/1 WPIL - (C) Derwent- image
AN - 2000-079659 [07]
XP - N2000-062924
TI - Queueing time conformity judging circuit in memory control system -
changes time intervals of queueing time when there is no conformity of
queueing time of access cycle in synchronous type recording medium
DC - T01
PA - (CANO) CANON KK
NP - 1
NC - 1
PN - JP11328003 A 19991130 DW2000-07 G06F-012/00 9p *
AP: 1998JP-0135623 19980518
PR - 1998JP-0135623 19980518
IC - G06F-001/06 G06F-012/00
AB - JP11328003 A
NOVELTY - When it is judged that the recording unit is of synchronous
type, the access cycle including the queueing time corresponding to
the specification of asynchronous system is recorded. When there is no
conformity of the queueing time of access cycle in the synchronous
type recording medium, the time interval of queueing time is changed
so that conformity exists.
- USE - In memory control system.
- ADVANTAGE - Enables to operate a synchronous type recording medium in
the matched access cycle. Hence a simplified memory control system is
offered. (Dwg.1/5)
MC - EPI: T01-H T01-K
UP - 2000-07

Search statement 24

?

File : WPIL

SS Results

1	4451	QUEUE
2	6306	QUEU+
3	319876	CONSTRUCT+ OR RECONSTRUCT+
4	10	MQ AND SERIES
5	259224	SERIES
6	34	MEMORY (W) RESIDENT
7	15049	PROCESSOR#
8	12512	INACTIVE
9	672	REBUILT OR REBUILD+
10	248040	BUILD+ OR BUILT

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-328003

(43) 公開日 平成11年(1999)11月30日

(51) Int.Cl.⁶

G 0 6 F 12/00

// G 0 6 F 1/06

識別記号

5 6 4

F I

G 0 6 F 12/00

1/04

5 6 4 A

3 1 0 A

審査請求 未請求 請求項の数15 O L (全 9 頁)

(21) 出願番号 特願平10-135623

(22) 出願日 平成10年(1998) 5月18日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 川口 匡

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

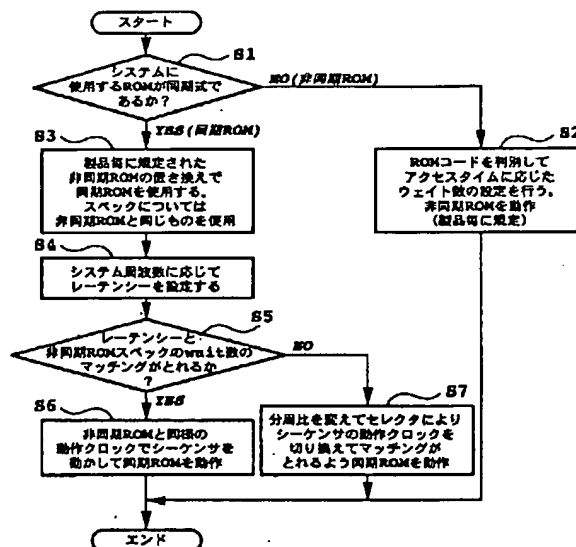
(74) 代理人 弁理士 谷 義一 (外1名)

(54) 【発明の名称】 メモリ制御システム

(57) 【要約】

【課題】 簡単な制御および回路構成で、周波数互換性のある同期式記録媒体および非同期式記録媒体のアクセスサイクルを合致させることが可能なメモリ制御システム。

【解決手段】 非同期式記録媒体106のアクセスサイクルの待ち時間に対して、同期式記録媒体106のアクセスサイクルの待ち時間の整合性がないときは、待ち時間の整合性がとれるように、カウンタ201で同期式記録媒体106の待ち時間を構成するウェイトサイクルの分周比を決定して時間間隔が変更された変更クロックを生成し、この変更クロックとシステムクロック信号とをセレクタ202で切り替えて出力することにより、同期式記録媒体106に対してアクセス制御を行う。



【特許請求の範囲】

【請求項1】 周波数互換性のある、非同期式および同期式の記録媒体に対して制御可能なシステムであって、記録媒体が同期式か非同期式かを判別する判別手段と、前記記録媒体が同期式記録媒体であると判別された場合、非同期式記録媒体の動作仕様を表わす待ち時間を含むアクセスサイクルを記録する記録手段と、

前記記録された非同期式記録媒体のアクセスサイクルの待ち時間に対して、前記同期式記録媒体のアクセスサイクルの待ち時間の整合性があるか否かを比較する比較手段と、

前記待ち時間の整合性がない場合、当該待ち時間の整合性がとれるように、前記同期式記録媒体の待ち時間の時間間隔を変更する変更手段とを具えたことを特徴とするメモリ制御システム。

【請求項2】 前記変更手段は、前記同期式記録媒体の待ち時間を構成するウェイトサイクルの分周比を決定することにより、当該待ち時間内のウェイトサイクルの時間間隔が変更された変更クロック信号を出力するクロック変更手段と、前記変更クロック信号と、システムクロック信号との切り替え制御を行う切替手段とを有することを特徴とする請求項1記載のメモリ制御システム。

【請求項3】 周波数互換性のある、非同期式および同期式の記録媒体に対して制御可能なシステムであって、前記非同期式および前記同期式の記録媒体のうち、動作させる側の記録媒体の同期方式を判別する判別手段と、前記動作させる側の記録媒体の同期方式が判別された場合、他方の非動作側の記録媒体の動作仕様を表わす待ち時間を含むアクセスサイクルを記録する記録手段と、前記記録された非動作側の記録媒体のアクセスサイクルの待ち時間に対して、前記動作させる側の記録媒体のアクセスサイクルの待ち時間の整合性があるか否かを比較する比較手段と、

前記待ち時間の整合性がない場合、当該待ち時間の整合性がとれるように、前記動作させる側の記録媒体の待ち時間の時間間隔を変更する変更手段とを具えたことを特徴とするメモリ制御システム。

【請求項4】 非同期式記録媒体の動作仕様で、当該非同期式記録媒体と周波数互換性のある同期式記録媒体を動作させることを特徴とする請求項1ないし3のいずれかに記載のメモリ制御システム。

【請求項5】 前記非同期式および前記同期式の記録媒体は、ROMであることを特徴とする請求項1ないし4のいずれかに記載のメモリ制御システム。

【請求項6】 非同期式記録媒体の動作仕様で、当該非同期式記録媒体、ならびに、当該非同期式記録媒体と周波数互換性のある同期式記録媒体に対して制御可能な装置であって、

前記非同期式記録媒体のアクセスサイクルの待ち時間に

対して、前記同期式記録媒体のアクセスサイクルの待ち時間の整合性がない場合、

前記待ち時間の整合性がとれるように、前記同期式記録媒体の待ち時間の時間間隔を変更する変更手段を具えたことを特徴とするメモリ制御装置。

【請求項7】 前記変更手段は、前記同期式記録媒体の待ち時間を構成するウェイトサイクルの分周比を決定することにより、当該待ち時間のウェイトサイクルの時間間隔が変更された変更クロック信号を出力するクロック変更手段と、

前記変更クロック信号と、システムクロック信号との切り替え制御を行う切替手段とを有することを特徴とする請求項6記載のメモリ制御装置。

【請求項8】 周波数互換性のある、非同期式および同期式の記録媒体に対して制御可能な制御方法であって、記録媒体が同期式か非同期式かを判別する判別工程と、前記記録媒体が同期式記録媒体と判別された場合、非同期式記録媒体の動作仕様を表わす待ち時間を含むアクセスサイクルを記録する記録工程と、

前記記録された非同期式記録媒体のアクセスサイクルの待ち時間に対して、前記同期式記録媒体のアクセスサイクルの待ち時間の整合性があるか否かを比較する比較工程と、

前記待ち時間の整合性がない場合、当該待ち時間の整合性がとれるように、前記同期式記録媒体の待ち時間の時間間隔を変更する変更工程とを具えたことを特徴とするメモリ制御方法。

【請求項9】 前記変更工程は、前記同期式記録媒体の待ち時間を構成するウェイトサイクルの分周比を決定することにより、当該待ち時間内のウェイトサイクルの時間間隔が変更された変更クロック信号を出力する工程と、

前記変更クロック信号と、システムクロック信号との切り替え制御を行う工程とを有することを特徴とする請求項8記載のメモリ制御方法。

【請求項10】 周波数互換性のある、非同期式および同期式の記録媒体に対して制御可能な制御方法であって、

前記非同期式および前記同期式の記録媒体のうち、動作させる側の記録媒体の同期方式を判別する工程と、

前記動作させる側の記録媒体の同期方式が判別された場合、他方の非動作側の記録媒体の動作仕様を表わす待ち時間を含むアクセスサイクルを記録する工程と、

前記記録された非動作側の記録媒体のアクセスサイクルの待ち時間に対して、前記動作させる側の記録媒体のアクセスサイクルの待ち時間の整合性があるか否かを比較する工程と、

前記待ち時間の整合性がない場合、当該待ち時間の整合性がとれるように、前記動作させる側の記録媒体の待ち時間の時間間隔を変更する工程とを具えたことを特徴と

10

20

30

40

50

するメモリ制御方法。

【請求項11】 非同期式記録媒体の動作仕様で、当該非同期式記録媒体と周波数互換性のある同期式記録媒体を動作させることを特徴とする請求項8ないし10のいずれかに記載のメモリ制御方法。

【請求項12】 前記非同期式および前記同期式の記録媒体は、ROMであることを特徴とする請求項8ないし11のいずれかに記載のメモリ制御方法。

【請求項13】 コンピュータによって、データ転送の制御をするための制御プログラムを記録した記録媒体であって、

該制御プログラムはコンピュータに、

非同期式記録媒体の動作仕様で、当該非同期式記録媒体、ならびに、当該非同期式記録媒体と周波数互換性のある同期式記録媒体を動作させる場合において、

記録媒体が同期式か非同期式かを判別させ、

前記記録媒体を同期式記録媒体と判別させたとき、非同期式記録媒体の動作仕様を表わす待ち時間を含むアクセスサイクルを記録させ、

前記記録させた非同期式記録媒体のアクセスサイクルの待ち時間に対して、前記同期式記録媒体のアクセスサイクルの待ち時間の整合性があるか否かを比較させ、

前記待ち時間の整合性がない場合、当該待ち時間の整合性がとれるように、前記同期式記録媒体の待ち時間の時間間隔を変更させることを特徴とするデータ転送制御プログラムを記録した記録媒体。

【請求項14】 前記制御プログラムはコンピュータに、

前記同期式記録媒体の待ち時間を構成するウェイトサイクルの分周比を決定させることにより、当該待ち時間内のウェイトサイクルの時間間隔が変更された変更クロック信号を出力させ、

前記変更クロック信号と、システムクロック信号との切り替え制御をさせることを特徴とする請求項13記載のデータ転送制御プログラムを記録した記録媒体。

【請求項15】 コンピュータによって、データ転送の制御をするための制御プログラムを記録した記録媒体であって、

該制御プログラムはコンピュータに、

非同期式および同期式の記録媒体のうち、動作させる側の記録媒体の同期方式を判別させ、

前記動作させる側の記録媒体の同期方式を判別させた場合、他方の非動作側の記録媒体の動作仕様を表わす待ち時間を含むアクセスサイクルを記録させ、

前記記録させた非動作側の記録媒体のアクセスサイクルの待ち時間に対して、前記動作させる側の記録媒体のアクセスサイクルの待ち時間の整合性があるか否かを比較させ、

前記待ち時間の整合性がない場合、当該待ち時間の整合性がとれるように、前記動作させる側の記録媒体の待ち

時間の時間間隔を変更させることを特徴とするデータ転送制御プログラムを記録した記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、周波数互換性のある、非同期式および同期式の記録媒体に対して制御可能なメモリ制御システムに関する。

【0002】

【従来の技術】従来、メモリ制御装置を備えたシステムにおいて、そのシステム内に非同期ROMを使用した場合には、そのアクセスタイムにウェイトサイクルを挿入する形でアクセスサイクルを生成している。そして、その非同期ROMを使用する同一のシステムを用いて、同期ROMを動作させるような場合には、非同期ROMの動作スペック(specs)で生成したアクセスサイクルに合致するように、シーケンサを可変にしたり、データ出力のためのレーテンシー(latency)を可変にすることによって、データの入出力制御を行っている。

【0003】

【発明が解決しようとする課題】しかしながら、従来のシステムにおいては、周波数互換性のある同期式ROMと非同期式ROMとのアクセスサイクルを合致させるために、シーケンサの回路が複雑化したり、場合によっては、同期ROM側でマッチング(整合)するレーテンシーの設定が不可能となる問題がある。

【0004】そこで、本発明の目的は、簡単な制御および回路構成によって、周波数互換性のある同期式記録媒体および非同期式記録媒体のアクセスサイクルを合致させることが可能なメモリ制御システムを提供することにある。

【0005】

【課題を解決するための手段】本発明は、周波数互換性のある、非同期式および同期式の記録媒体に対して制御可能なシステムであって、記録媒体が同期式か非同期式かを判別する判別手段と、前記記録媒体が同期式記録媒体であると判別された場合、非同期式記録媒体の動作仕様を表わす待ち時間を含むアクセスサイクルを記録する記録手段と、前記記録された非同期式記録媒体のアクセスサイクルの待ち時間に対して、前記同期式記録媒体のアクセスサイクルの待ち時間の整合性があるか否かを比較する比較手段と、前記待ち時間の整合性がない場合、当該待ち時間の整合性がとれるように、前記同期式記録媒体の待ち時間の時間間隔を変更する変更手段とを具備することによって、メモリ制御システムを構成する。

【0006】また、本発明は、周波数互換性のある、非同期式および同期式の記録媒体に対して制御可能なシステムであって、前記非同期式および前記同期式の記録媒体のうち、動作させる側の記録媒体の同期方式を判別する判別手段と、前記動作させる側の記録媒体の同期方式が判別された場合、他方の非動作側の記録媒体の動作仕

様を表わす待ち時間を含むアクセスサイクルを記録する記録手段と、前記記録された非動作側の記録媒体のアクセスサイクルの待ち時間に対して、前記動作させる側の記録媒体のアクセスサイクルの待ち時間の整合性があるか否かを比較する比較手段と、前記待ち時間の整合性がない場合、当該待ち時間の整合性がとれるように、前記動作させる側の記録媒体の待ち時間の時間間隔を変更する変更手段とを具えることによって、メモリ制御システムを構成する。

【0007】また、本発明は、非同期式記録媒体の動作仕様で、当該非同期式記録媒体、ならびに、当該非同期式記録媒体と周波数互換性のある同期式記録媒体に対して制御可能な装置であって、前記非同期式記録媒体のアクセスサイクルの待ち時間に対して、前記同期式記録媒体のアクセスサイクルの待ち時間の整合性がない場合、前記待ち時間の整合性がとれるように、前記同期式記録媒体の待ち時間の時間間隔を変更する変更手段を具えることによって、メモリ制御装置を構成する。

【0008】また、本発明は、周波数互換性のある、非同期式および同期式の記録媒体に対して制御可能な制御方法であって、記録媒体が同期式か非同期式かを判別する判別工程と、前記記録媒体が同期式記録媒体と判別された場合、非同期式記録媒体の動作仕様を表わす待ち時間を含むアクセスサイクルを記録する記録工程と、前記記録された非同期式記録媒体のアクセスサイクルの待ち時間に対して、前記同期式記録媒体のアクセスサイクルの待ち時間の整合性があるか否かを比較する比較工程と、前記待ち時間の整合性がない場合、当該待ち時間の整合性がとれるように、前記同期式記録媒体の待ち時間の時間間隔を変更する変更工程とを具えることによって、メモリ制御方法を提供する。

【0009】また、本発明は、周波数互換性のある、非同期式および同期式の記録媒体に対して制御可能な制御方法であって、前記非同期式および前記同期式の記録媒体のうち、動作させる側の記録媒体の同期方式を判別する工程と、前記動作させる側の記録媒体の同期方式が判別された場合、他方の非動作側の記録媒体の動作仕様を表わす待ち時間を含むアクセスサイクルを記録する工程と、前記記録された非動作側の記録媒体のアクセスサイクルの待ち時間に対して、前記動作させる側の記録媒体のアクセスサイクルの待ち時間の整合性があるか否かを比較する工程と、前記待ち時間の整合性がない場合、当該待ち時間の整合性がとれるように、前記動作させる側の記録媒体の待ち時間の時間間隔を変更する工程とを具えることによって、メモリ制御方法を提供する。

【0010】また、本発明は、コンピュータによって、データ転送の制御をするための制御プログラムを記録した記録媒体であって、該制御プログラムはコンピュータに、非同期式記録媒体の動作仕様で、当該非同期式記録媒体、ならびに、当該非同期式記録媒体と周波数互換性

のある同期式記録媒体を動作させる場合において、記録媒体が同期式か非同期式かを判別させ、前記記録媒体を同期式記録媒体と判別させたとき、非同期式記録媒体の動作仕様を表わす待ち時間を含むアクセスサイクルを記録させ、前記記録させた非同期式記録媒体のアクセスサイクルの待ち時間に対して、前記同期式記録媒体のアクセスサイクルの待ち時間の整合性があるか否かを比較させ、前記待ち時間の整合性がない場合、当該待ち時間の整合性がとれるように、前記同期式記録媒体の待ち時間の時間間隔を変更させることによって、データ転送制御プログラムを記録した記録媒体を提供することができる。

【0011】また、本発明は、コンピュータによって、データ転送の制御をするための制御プログラムを記録した記録媒体であって、該制御プログラムはコンピュータに、非同期式および同期式の記録媒体のうち、動作させる側の記録媒体の同期方式を判別させ、前記動作させる側の記録媒体の同期方式を判別させた場合、他方の非動作側の記録媒体の動作仕様を表わす待ち時間を含むアクセスサイクルを記録させ、前記記録させた非動作側の記録媒体のアクセスサイクルの待ち時間に対して、前記動作させる側の記録媒体のアクセスサイクルの待ち時間の整合性があるか否かを比較させ、前記待ち時間の整合性がない場合、当該待ち時間の整合性がとれるように、前記動作させる側の記録媒体の待ち時間の時間間隔を変更させることによって、データ転送制御プログラムを記録した記録媒体を提供する。

【0012】ここで、前記変更手段は、前記同期式記録媒体の待ち時間を構成するウェイトサイクルの分周比を決定することにより、当該待ち時間のウェイトサイクルの時間間隔が変更された変更クロック信号を出力するクロック変更手段と、前記変更クロック信号とシステムクロック信号との切り替え制御を行う切替手段とを有することができる。

【0013】前記変更工程は、前記同期式記録媒体の待ち時間を構成するウェイトサイクルの分周比を決定することにより、当該待ち時間内のウェイトサイクルの時間間隔が変更された変更クロック信号を出力する工程と、前記変更クロック信号と、システムクロック信号との切り替え制御を行う工程とを有することができる。

【0014】非同期式記録媒体の動作仕様で、当該非同期式記録媒体と周波数互換性のある同期式記録媒体を動作させることができる。

【0015】前記非同期式および前記同期式の記録媒体は、ROMとすることができる。

【0016】前記制御プログラムはコンピュータに、前記同期式記録媒体の待ち時間を構成するウェイトサイクルの分周比を決定させることにより、当該待ち時間内のウェイトサイクルの時間間隔が変更された変更クロック信号を出力させ、前記変更クロック信号と、システムク

ロック信号との切り替え制御をさせることができる。

【0017】

【発明の実施の形態】以下、図面を参照して、本発明を詳細に説明する。

【0018】本発明の第1の実施の形態を、図1～図5に基づいて説明する。

【0019】まず、本発明に適用されるシステムの構成について説明する。

【0020】図3および図4は、本システムの構成を示す。

【0021】本システムは、周波数互換性のある、非同期式および同期式の記録媒体に対して制御可能なシステムであり、特に、非同期式の記録媒体の動作仕様で、この非同期式の記録媒体と周波数互換性のある同期式の記録媒体を動作させるものである。

【0022】図3において、101は、メモリ制御装置である。このメモリ制御装置101は、記録媒体としてのROM106を制御するための全ての機能を有している。このメモリ制御装置101には、シーケンサ102と、クロック変換部103と、分周回路104とが含まれる。

【0023】シーケンサ102は、メモリ制御装置101の中で、システムバス110をROM106が専有するか否かを決定する調整回路を含み、記録媒体としてのROM106を動作させるタイミング全般を制御する。

【0024】クロック変換部103は、本システムの基本的な動作仕様とされる非同期のROM106のアクセスサイクルに合致させるように、同期のROMへ出力するクロックおよびシーケンサ102の動作クロックを可変にする。

【0025】分周回路104は、発振回路105から出力されるオリジナルクロック(ORCLK)120から、メモリ制御装置101およびシステムバス110に接続される全てのユニットを動作させるシステムクロック121を生成する。

【0026】発振回路105は、本システムの原振となるオリジナルクロック120を生成する。

【0027】ROM106は、本システムの動作を規定する制御プログラムや、フォントデータ等が格納される記録媒体である。このROM106としては、周波数互換性のある非同期式、同期式の双方に適用可能である。制御プログラムとしては、後述する本発明に係る処理を行う制御プログラムが含まれる。また、このような制御プログラムは、別体として、フロッピーディスク等に記憶させてもよい。

【0028】また、システムバス110には、バスコントローラ107、CPU108、RAM109等が接続されている。バスコントローラ107は、システムバス110上のデータの流れを制御する。CPU108は、本システムの動作全般を制御する。RAM109は、ブ

ログラムのスタック待選用として用いられ、CPUアクセスおよびダイレクトメモリアccess(DMA)の制御結果を格納する読み出し用、書き込み用として用いられる。

【0029】図4は、クロック変換部103の内部構成を示す。

【0030】クロック変換部103は、ロード付のカウンタ201と、セクタ202とから構成される。

【0031】カウンタ201には、発振回路105からのオリジナルクロック120と、シーケンサ102からの分周比選択信号122、ロード信号123、カウンタEN信号とが入力される。これにより、カウンタ201からは、変換クロック(CLK)125が出力される。

【0032】また、セクタ202には、分周回路104からのシステムクロック121と、カウンタ201により作成された変換クロック125と、シーケンサ102からのクロック(CLK)切換信号126とが入力される。これにより、セクタ202では、変換クロック125、システムクロック121が切換制御され、動作クロック130としてシーケンサ102に出力される。

【0033】そして、シーケンサ102は、動作クロック130によって動作され、また、この動作クロック130は、同期式又は非同期式のROM106を動作させる。

【0034】(システム動作)次に、本システムの動作について説明する。

【0035】図1は、本システムの動作を説明するフローチャートである。図2は、本システムの動作を説明するタイミングチャートである。なお、本システムの動作を説明するに当たって、図2に示すように、アクセス時間(アクセスサイクル)Tは、システムの立場から見れば、待ち時間Wと、転送時間Dとに分けられる。以下、本例では、アクセスサイクルTのうち、本発明に関する、待ち時間Wに注目して説明する。

【0036】まず、図1のフローチャートについて説明する。

【0037】本システムは、電源が投入されると、CPU108は、ROM106から制御プログラムを読み取り、以下の処理を実行する。

【0038】ステップS1では、制御プログラムを起動させた初期状態において、制御プログラムが格納されているROM106自身が、同期式ROMなのか非同期式ROMなのかを判別する。通常の場合、ROM106は、マスクROMに代表される非同期式ROMであるため、ステップS2に進む。

【0039】ステップS2では、CPU108は、非同期式のROM106内に記憶されたコードを判別し、非同期式のROM106自身のもつ待ち時間(latency)を読み取る。そして、その待ち時間(latency)に応じたウェイトサイクル数(例えば、w1、w2の場合は、

10

20

30

40

50

ウェイトサイクル数は2となる)をシステムクロック121に挿入する設定をシーケンサ102により行う。このようにして、非同期式のROM106のアクセスサイクルを構成することによって、本システムの動作を実行することができる。なお、非同期式のROM106の動作スペックは、一般的に、製品毎に規定されている。

【0040】ところで、この非同期のROM106に代わって、本システムに、読み出し/書き込み可能な同期式フラッシュROMに代表されるような同期式のROMを実装する必要が生じる場合がある。この必要が生じる原因としては、例えば、非同期のROM106内のプログラムに何らかの欠陥があったり、生産時や出荷後に外部インターフェース(図示せず)から新しいプログラムをダウンロードして書き換えが可能となるような場合である。

【0041】そして、本システムに同期式のROM106を新たに実装した場合、以前実装されていた非同期式のROM106に対してアクセスサイクルが異なると、本システムの動作スペックに違いが生じる。さらに、新たに実装した同期式のROM106の方のアクセスサイクルが遅くなるような場合には、本システムの動作そのものに影響を及ぼしてしまう。

【0042】そこで、本例では、図1のステップS1において、同期式のROM106と判別された場合には、ステップS3に進み、以下の処理を順次実行する。

【0043】ステップS3では、以前実装されていた製品毎に規定された非同期式のROM106のアクセスサイクルを記憶手段に記憶させておく。従って、同期式のROM106が新たに実装された本システムでは、非同期式のROM106のアクセスサイクルをそのまま適用して動作に用いることになる。

【0044】ここでいう、アクセスサイクルとは、ROM106自身のもつ待ち時間(latency)を含むシステムクロック121のことである。なお、アクセスサイクルを記憶する記憶手段としては、電源が未投入時でも、内容が保持されるものならば、いかなる手段でもよい。

【0045】ステップS4では、システム周波数に応じて、同期式のROM106のデータ出力のための待ち時間(latency)を、その同期式のROM106内のレジスタに設定する。なお、この待ち時間は、周波数にしか依存せず、非同期式のROM106がいかなるスペックであっても不変である。

【0046】ステップS5では、記憶手段に記憶された以前実装した非同期式のROM106のアクセスサイクルの待ち時間(latency)に対して、同期式のROM106の待ち時間(latency)のマッチングがとれるか否かを調べる。マッチングがとれる場合はステップS6に進み、マッチングがとれない場合はステップS7に進む。

【0047】ステップS6では、非同期式のROM10

6と同様なアクセスサイクルをもつ動作クロック130をシーケンサ102から出力することによって、同期式のROM106を動作させる。

【0048】一方、ステップS7では、マッチングがとれるように、メモリ制御装置101を用いて信号の出力制御を行う。すなわち、クロック変換部103において、カウンタ201では、マッチングがとれるように、同期式のROM106の待ち時間を構成するウェイトサイクルの分周比を決定し、これにより、待ち時間内のウェイトサイクルの時間間隔が変更された変更クロック125を生成する。

【0049】そして、セレクタ202では、分周して生成された変更クロック125と、システムクロック121との切り替え制御を行うことにより、動作クロック130を出力する。この動作クロック130は、クロック変換部103からシーケンサ102に出力され、同期式のROM106を動作させる。

【0050】このようにクロック変換部103において、シーケンサ102を動作させ、かつ、同期式のROM106へ出力するための動作クロック130を生成することによって、同期式のROM106のアクセスサイクルを構成することができる。

【0051】次に、待ち時間の設定から、同期式のROM106のアクセスサイクルを構成するまでの過程を、図2に基づいて詳細に説明する。

【0052】本例の同期式のROM106を動作させるシステムでは、システムクロック121の周波数から決定される待ち時間(latency)は、常に“2”と仮定する。一方、図2(a)に示すように、非同期式のROMのアクセスサイクルで本システムを動作させる場合、スタート時には、システムクロック121にウェイトサイクル数 $W=2(w1, w2)$ が挿入されている。

【0053】この場合、クロック変換部103より生成される動作クロック130のうち、待ち時間 W の領域 $t1 \sim t2$ に相当する変換クロック125の周波数は、システムクロック121と同一でも構わないため、同期式のROM106の待ち時間は、非同期式のROM106のアクセスサイクルにおける待ち時間のウェイトサイクル数との間で、マッチングがとれるものと判断する。

【0054】これにより、図4の分周比選択信号122に“2”を設定し、ロード信号123、カウンタEN信号を規定のタイミングで出力するようにシーケンサ102が制御すると、カウンタ201によって変換クロック125はオリジナルクロック120の2分周となり、結果として、システムクロック121と同一周波数となる。

【0055】そして、このようにして生成された2分周の変換クロック125とシステムクロック121とを、クロック切換信号126を用いてセレクタ202が破線 $t1, t2$ の位置で切り換え、動作クロック130とし

て出力することによって、非同期式のROM106のアクセスサイクルで同期式のROM106を動作させることが可能となる。

【0056】一方、図2(b)に示すように、非同期式のROM106のアクセスサイクルで、スタート時に、システムクロック121にウェイトサイクル数 $W=3$

($w1, w2, w3$)が挿入されている場合には、待ち時間(latency)が“2”である限り、交換クロック125の周波数がシステムクロック121と同一では動作不可能である。

【0057】この対策としては、例えば、図5に示すように、本システムの待ち時間(latency)を“3”に設定し直すか、シーケンサ102の動作を1サイクルだけシフトするような制御方法が考えられる。しかし、このような制御方法は、シーケンサ102の回路構成が複雑化し、同期式のROM106側で待ち時間(latency)の設定ができなくなるという問題が生じる。

【0058】そこで、本発明では、このような条件下の場合には、分周比選択信号122に“3”を設定し、ロード信号123、カウンタEN信号を規定のタイミングで出力するようにシーケンサ102が制御することによって、カウンタ201において交換クロック125をオリジナルクロック120の3分周に設定できる。

【0059】このように所定の待ち時間内における交換クロック125の時間間隔を変更することによって、非同期式のROM106のアクセスサイクルにおける待ち時間とのマッチングをとることができる。

【0060】そして、3分周に変換された交換クロック125とシステムクロック121とを、クロック切換信号126を用いてセレクタ202が、図2(b)に示す破線 $t3, t4$ の位置で切り換え、動作クロック130として出力することによって、非同期式のROM106のアクセスサイクルに基づいて同期式のROM106を動作させることが可能となる。

【0061】これにより、本システムに適用される非同期式のROM106のアクセスサイクルがいかなる場合(すなわち、ウェイトサイクル数が異なる場合)においても、シーケンサ102からクロック変換部103への設定条件を単に変更するだけで、待ち時間(latency)の設定を変えることなく、マッチングしたアクセスサイクルによって同期式のROM106を動作させることができる。

【0062】以上説明したように、カウンタ201において、同期式のROM106の待ち時間を構成するウェイトサイクルの分周比を決定して、待ち時間内のウェイトサイクルの時間間隔が変更された変更クロック125を出力し、セレクタ202において、その変更クロック125とシステムクロック121との切り替え制御を行うことによって、非同期式のROM106のアクセスサイクルに合致したシーケンサ102の動作クロック13

0を作成できる。これにより、同期式のROM106のアクセスサイクルを簡単な回路で構成することができる。

【0063】次に、本発明の第2の実施の形態について説明する。なお、前述した第1の実施の形態と同一部分についての説明は省略し、同一符号を付す。

【0064】前述した第1の実施の形態では、システムに非同期式のROM106のアクセスサイクルを適用した場合、スタート時にウェイトサイクルがいくつか挿入され、ページアクセスは0ウェイトのみで動作していた。これに対して、本例では、同じページアクセスでもスタート時のみならず、マッチングさせるためのウェイトサイクルがいくつか挿入された場合の例である。

【0065】本例の場合には、図2の破線の位置 $t1, t2, t3, t4$ に示すクロック切換信号126の切り換えタイミングが、ページアクセスにかかるだけであり、動作の概要およびその効果は、前述した第1の実施の形態の例と同様であり、その説明は省略する。

【0066】なお、本発明は、複数の機器から構成されるシステムに適用しても、1つの機器からなる装置に適用してもよい。また、本発明はシステム或いは装置にプログラムを供給することによって達成される場合にも適用できることはいうまでもない。この場合、本発明を達成するためのソフトウェアによって表されるプログラムを格納した記憶媒体を該システム或いは装置に読み出すことによって、そのシステム或いは装置が、本発明の効果享受することが可能となる。

【0067】

【発明の効果】以上説明したように、本発明によれば、周波数互換性のある非同期式および同期式の記録媒体に対して制御可能なシステムであって、このシステムを非同期式記録媒体のアクセスサイクルで動作させる場合において、非同期式記録媒体のアクセスサイクルの待ち時間に対して、同期式記録媒体のアクセスサイクルの待ち時間の整合性がないときは、待ち時間の整合性がとれるように、同期式記録媒体の待ち時間を構成するウェイトサイクルの分周比を決定して時間間隔が変更された変更クロック信号を生成する手段と、この変更クロック信号とシステムクロック信号とを切替制御する手段とを設けたので、非同期式記録媒体のアクセスサイクルがいかなる場合においても、変更クロックを生成する手段への設定条件を単に変更するだけで、待ち時間(latency)の設定を変えることなく、マッチングしたアクセスサイクルで同期式記録媒体を動作させることが可能となり、これにより、簡単な制御および回路構成のメモリ制御システムを得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態であるメモリ制御方法を示すフローチャートである。

【図2】メモリ制御方法を示すタイミングチャートであ

る。

【図3】本システムの構成を示す構成図である。

【図4】クロック変換部の内部構成を示すブロック図である。

【図5】従来のメモリ制御方法を示すタイミングチャートである。

【符号の説明】

*101 メモリ制御装置

102 シーケンサ

103 変更手段

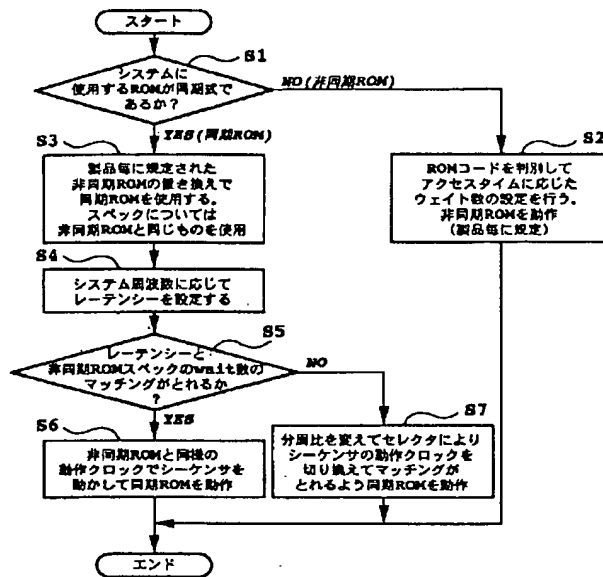
106 記録媒体

201 クロック変更手段

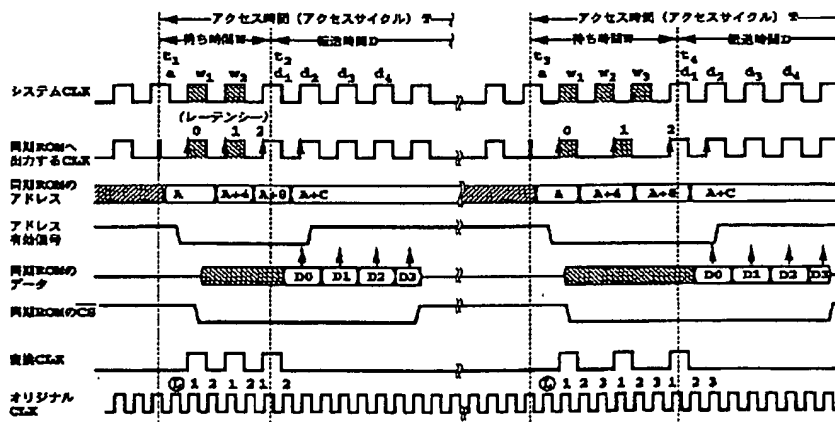
202 切替手段

*

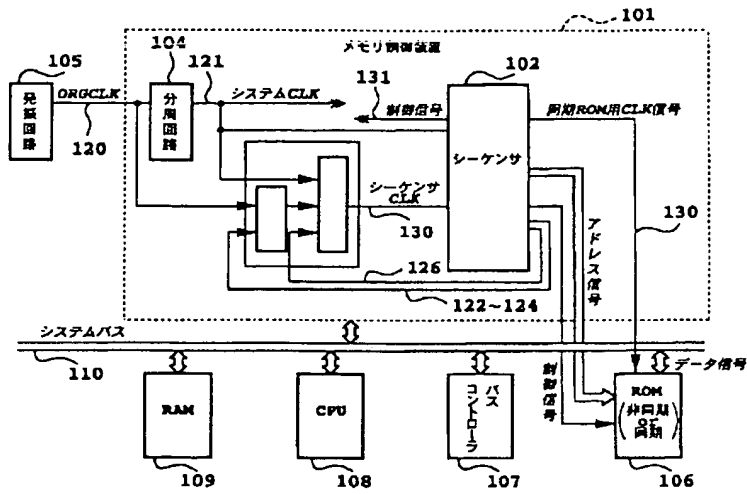
【図1】



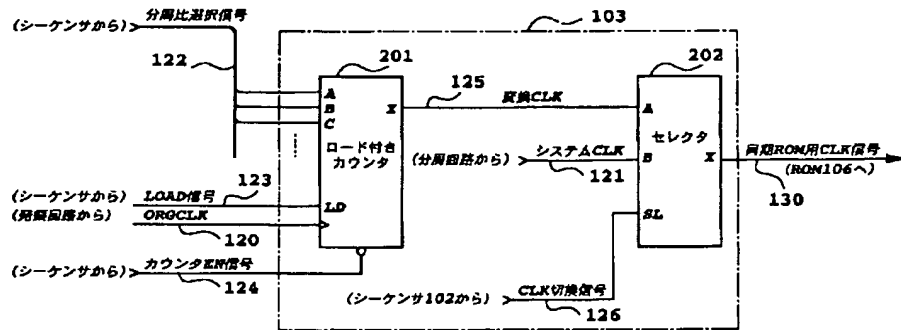
【図2】



【図3】



【図4】



【図5】

